

國立高雄大學電機工程學系研究所

碩士論文

半導體新產品平面度預測之模型導入

Model Introduction for Coplanarity Prediction

of Semiconductor New Product

研究生：陳筠霈　撰

指導教授：吳東穎　博士

中華民國一一四年七月

# 

# 致謝

　　萬分感謝高雄大學與公司進行產學合作，開立產學碩士專班，供同仁們有增進自己能力的進修機會。

　　在兩年的碩士班中，認識了班上的許多好同學，在課堂上彼此互相提醒幫忙，遇到困難時彼此互相協助，很感謝能身為這班的其中一員。感謝施明昌教授願意成為我的指導教授，在撰寫論文的過程中，提供明確的方向及寶貴的建議，讓我能在如期內畢業，再次感謝施明昌教授不厭其煩的提點我。

　　感謝公司的前輩王泰盛，在入學前一步步的教我如何應對面試以及準備書審的資料，讓我能順利進到產碩班；感謝潘又寧前輩，在撰寫論文時，協助我排定論文內所需數據的實驗；也感謝我的主管陳慧萍，在我還沒拿到學歷轉成工程師的時候，沒有給我太多的工作壓力，讓我能從容面對學校的課業。

　　其實白天上班晚上接著上課是一件蠻累的事情，很少有自己的時間，但在碩班生涯的這段時間過得很快但也很充實。感謝家人們及女朋友的支持，在想放棄的時候給我鼓勵，讓我能順利完成學業，朝著成為工程師邁進。

**半導體****新產品平面度預測之模型導入**

指導教授 : 吳東穎 博士

國立高雄大學電機工程系碩士班

學生 : 陳筠霈

國立高雄大學電機工程研究所

# 摘要

　　在半導體製程中，「研磨」扮演重要的角色。研磨藉由砂輪與矽晶圓磨擦將矽晶圓的厚度縮減至所需的尺寸。晶片研磨製程主要以鑽石研磨砂輪將晶片薄化，薄化過程分粗磨(Rough) 、細磨(Fine)和拋光(Polish)。隨著晶圓的超薄化發展，存在著降低吸附(Gettering)效果的威脅進而導致晶圓內部離子游離造成損害。DPEG製程採用日本研磨機大廠Disco公司獨創的乾式拋光技術，通過去除內部應力提高了晶片抗彎強度又維持了吸附功能。本研究將探討特殊的拋光製程「DPEG」的優化，先找出影響製程的關鍵因子膠膜厚度、工作盤角度及壓力，再利用田口實驗法求出最佳參數，並搭配加法預測模式去驗證理論值及實際值的差異是否在合理範圍內。本次實驗求出的預測值及實驗值皆在差異值內，將求出的最佳參數帶入實際製程中產生的結果也與預期的結果符合，厚度較薄的膠膜、更傾斜的工作盤角度及以較低壓力的壓力開始拋光能降低電流的產生，並減少製程異常的發生，有效提升「DPEG」製程之優化。

關鍵字：半導體研磨、DPEG、田口實驗法、最佳化

**Dry Polishing Extrinsic Gettering Process**

**Optimization for Silicon Wafer Grinding**

Advisor: Dr. Ming-Chang Shih

Institute of Electrical Engineering

National University of Kaohsiung

Student: En-Dien Tsao

Institute of Electrical Engineering

National University of Kaohsiung

ABSTRACT

In semiconductor manufacturing, "Grinding" plays a crucial role. Grinding reduces the thickness of silicon wafers to the desired size by friction between the grinding wheel and the silicon wafer. The wafer grinding process mainly involves thinning the wafer using a diamond grinding wheel, and it is divided into Rough grinding, Fine grinding, and Polishing. As wafers become increasingly thinner, there is a threat of reducing the gettering effect, which can lead to ion diffusion within the wafer and cause damage.

The DPEG process utilizes the unique dry polishing technology developed by Disco Corporation, a leading Japanese manufacturer of grinding machines. This technology removes internal stress, thereby increasing the chip's bending strength while maintaining its gettering function.

This study will explore the optimization of the special polishing process "DPEG." The key factors affecting the process, such as film thickness, chuck table angle, and pressure, will be identified first. Then, the Taguchi method will be used to determine the optimal parameters, and additive mode prediction will be used to verify whether the theoretical value and actual value fall within a reasonable range.

The predicted and experimental values obtained in this experiment were within the acceptable range of differences. The results produced by applying the optimal parameters in the actual process also matched the expected results. Starting polishing with a thinner film, a more inclined chuck table angle, and lower pressure can reduce current generation and decrease process anomalies, effectively enhancing the optimization of the "DPEG" process.

**Keywords :** Semiconductor Wafer Grinding, DPEG, Taguchi Method, Optimization

# 目錄

[致謝 I](#_Toc172908149)

[摘要 II](#_Toc172908150)

[ABSTRACT III](#_Toc172908151)

[目錄 V](#_Toc172908152)

[圖目錄 VII](#_Toc172908153)

[表目錄 IX](#_Toc172908154)

[第一章 緒論 1](#_Toc172908155)

[1-1前言 1](#_Toc172908156)

[1-2研究動機 1](#_Toc172908157)

[1-3研究架構 1](#_Toc172908158)

[第二章 基礎理論與文獻回顧 3](#_Toc172908159)

[2-1研磨製程介紹 3](#_Toc172908160)

[2-1-1研磨目的 4](#_Toc172908161)

[2-1-2研磨標準流程 4](#_Toc172908162)

[2-1-3三軸加工特性 5](#_Toc172908163)

[2-1-4研磨加工種類 8](#_Toc172908164)

[2-1-5影響研磨要因 10](#_Toc172908165)

[2-1-6研磨指標介紹 13](#_Toc172908166)

[2-2研磨輪介紹 13](#_Toc172908167)

[2-2-1研磨輪結構 14](#_Toc172908168)

[2-2-2結構主要元素 14](#_Toc172908169)

[2-2-3 砥粒種類 15](#_Toc172908170)

[2-3拋光製程種類介紹 16](#_Toc172908171)

[2-3-1CMP(Chemical Mechanical Polishing) 16](#_Toc172908172)

[2-3-2 DP(Dry Polishing) 17](#_Toc172908173)

[2-3-3DPEG(Dry Polish Extrinsic Gettering) 18](#_Toc172908174)

[2-4DPEG製程常見缺點 19](#_Toc172908175)

[2-4-1晶圓焦黑(Wafer Burning) 19](#_Toc172908176)

[2-4-2晶圓破片(Wafer Broken)及邊緣破損(Edge Chipping) 20](#_Toc172908177)

[2-4-3 拋光不完全 21](#_Toc172908178)

[2-5銅離子擴散 22](#_Toc172908179)

[2-5-1銅離子來源 22](#_Toc172908180)

[2-5-2銅離子影響 22](#_Toc172908181)

[2-5-3吸附層(Gettering Side) 22](#_Toc172908182)

[2-5-4內部吸附(Intrinsic Gettering) 23](#_Toc172908183)

[2-5-5外部吸附(Extrinsic Gettering) 23](#_Toc172908184)

[第三章 現況問題與實驗方法 26](#_Toc172908185)

[3-1DPEG製程現況 26](#_Toc172908186)

[3-1-1機台現行參數 26](#_Toc172908187)

[3-1-2膠膜使用 27](#_Toc172908188)

[3-1-3工作盤角度 28](#_Toc172908189)

[3-2儀器與設備 29](#_Toc172908190)

[3-2-1研磨機(DGP8761) 29](#_Toc172908191)

[3-2-2拋光輪(DPEG) 30](#_Toc172908192)

[3-2-3膠膜(340HV/440HBA) 31](#_Toc172908193)

[3-2-4被加工物(Dummy Wafer) 32](#_Toc172908194)

[3-2-5機台參數說明 32](#_Toc172908195)

[3-3田口實驗法 33](#_Toc172908196)

[3-3-1直交表 34](#_Toc172908197)

[3-3-2訊號雜音比(S/N) 34](#_Toc172908198)

[3-3-3變異數分析(ANOVA) 35](#_Toc172908199)

[3-3-4加法模式預測 37](#_Toc172908200)

[3-4實驗流程 37](#_Toc172908201)

[3-5實驗設計 38](#_Toc172908202)

[3-5-1特性要因分析 38](#_Toc172908203)

[3-5-2關鍵因子及水準配置 40](#_Toc172908204)

[3-5-3直交表設計 41](#_Toc172908205)

[第四章 實驗結果與驗證 42](#_Toc172908206)

[4-1 數據計算 42](#_Toc172908207)

[4-2 S/N比反應圖表分析 42](#_Toc172908208)

[4-3各因子變異數分析 43](#_Toc172908209)

[4-4最佳參數加法模式預測 43](#_Toc172908210)

[4-5參數最佳化驗證 44](#_Toc172908211)

[4-6實際導入驗證 45](#_Toc172908212)

[第五章 結論與建議 48](#_Toc172908213)

[第六章 參考文獻 49](#_Toc172908214)

# 圖目錄

[圖 1‑1 研究架構圖 2](#_Toc172908215)

[圖 2‑1 研磨製程步驟圖 3](#_Toc172908216)

[圖 2‑2 研磨製程種類圖 3](#_Toc172908217)

[圖 2‑3 Z1/Z2/Z3粗糙度差異圖 4](#_Toc172908218)

[圖 2‑4 研磨標準流程圖 4](#_Toc172908219)

[圖 2‑5 Z1/Z2/Z3磨耗示意圖 5](#_Toc172908220)

[圖 2‑6 粗研磨輪(左)、細研磨輪(右) 5](#_Toc172908221)

[圖 2‑7 粗磨作業及研磨量示意圖 6](#_Toc172908222)

[圖 2‑8 細磨作業及研磨量示意圖 6](#_Toc172908223)

[圖 2‑9 拋光作業示意圖 7](#_Toc172908224)

[圖 2‑10 Z1/Z2/Z3實際加工後示意圖 7](#_Toc172908225)

[圖 2‑11 Z1/Z2/Z3紋路示意圖 7](#_Toc172908226)

[圖 2‑12 Z1與Z2表面粗糙度比較圖 8](#_Toc172908227)

[圖 2‑13 深進緩給研磨示意圖 8](#_Toc172908228)

[圖 2‑14 軸向進給研磨示意圖 9](#_Toc172908229)

[圖 2‑15 軸向進給作業流程圖 9](#_Toc172908230)

[圖 2‑16 砥粒大小影響示意圖 11](#_Toc172908231)

[圖 2‑17 砥粒數量影響示意圖 11](#_Toc172908232)

[圖 2‑18 主軸轉速影響示意圖 12](#_Toc172908233)

[圖 2‑19 工作盤轉速影響示意圖 12](#_Toc172908234)

[圖 2‑20 主軸下降速度影響示意圖 12](#_Toc172908235)

[圖 2‑21 研磨輪結構圖 14](#_Toc172908236)

[圖 2‑22 結構主要元素示意圖 14](#_Toc172908237)

[圖 2‑23 硬度比較圖 15](#_Toc172908238)

[圖 2‑24 氣孔示意圖 15](#_Toc172908239)

[圖 2‑25 CMP示意圖 16](#_Toc172908240)

[圖 2‑26 CMP阻塞示意圖 16](#_Toc172908241)

[圖 2‑27 DP研磨輪 17](#_Toc172908242)

[圖 2‑28 DP實際粗糙度圖 17](#_Toc172908243)

[圖 2‑29 拋光作業流程圖 18](#_Toc172908244)

[圖 2‑30 DPEG研磨輪 18](#_Toc172908245)

[圖 2‑31 DPEG實際粗糙度圖 19](#_Toc172908246)

[圖 2‑32 晶圓焦黑圖 19](#_Toc172908247)

[圖 2‑33 焦黑示意圖 20](#_Toc172908248)

[圖 2‑34 晶圓破片圖(左)、邊緣破損圖(右) 20](#_Toc172908249)

[圖 2‑35 拋光不完全圖 21](#_Toc172908250)

[圖 2‑36 銅離子擴散示意圖 22](#_Toc172908251)

[圖 2‑37 吸附層示意圖 23](#_Toc172908252)

[圖 2‑38吸附層預防銅離子擴散圖 23](#_Toc172908253)

[圖 2‑39 內部吸附示意圖 23](#_Toc172908254)

[圖 2‑40 外部吸附層示意圖 24](#_Toc172908255)

[圖 2‑41 外部吸附層因拋光製程移除示意圖 24](#_Toc172908256)

[圖 2‑42 吸附作用示意圖(未拋光) 24](#_Toc172908257)

[圖 2‑43吸附作用示意圖(已拋光) 25](#_Toc172908258)

[圖 2‑44 有吸附/未吸附示意圖 25](#_Toc172908259)

[圖 2‑45 DPEG與DP銅離子游離比較圖 25](#_Toc172908260)

[圖 3‑1 機台現行作業參數圖 26](#_Toc172908261)

[圖 3‑2 DPEG製程缺點示意圖 26](#_Toc172908262)

[圖 3‑3 DPEG製程缺點示意圖 27](#_Toc172908263)

[圖 3‑4 DPEG膠膜(440)壓力數值圖 27](#_Toc172908264)

[圖 3‑5 DPEG工作盤角度(30°)電流數值圖 28](#_Toc172908265)

[圖 3-6 現行DPEG機台電流值圖 28](#_Toc172908266)

[圖 3‑7 DGP8761 29](#_Toc172908267)

[圖 3‑8 DPEG清洗落塵示意圖 30](#_Toc172908268)

[圖 3‑9 圓錐體工作盤示意圖 30](#_Toc172908269)

[圖 3‑10 DPEG拋光輪 31](#_Toc172908270)

[圖 3‑11 340/440膠膜比較圖 31](#_Toc172908271)

[圖 3‑12 此次實驗用dummy wafer 32](#_Toc172908272)

[圖 3‑13 實驗流程圖 38](#_Toc172908273)

[圖 3‑14 特性要因魚骨圖 39](#_Toc172908274)

[圖3-15 各因子影響DPEG拋光製程比例 40](#_Toc172908275)

[圖 4‑1 DPEG膠膜(340)壓力數值圖 46](#_Toc172908276)

[圖 4-2 30°傾角及60°傾角排屑示意圖 46](#_Toc172908277)

[圖 4-3 60°傾角作業電流圖 47](#_Toc172908278)

[圖 4-4 30°傾角作業電流圖 47](#_Toc172908279)

# 表目錄

[表 3-1 程式參數表 32](#_Toc172908280)

[表 3-2 Z3拋光製程參數表 33](#_Toc172908281)

[表 3‑3 ()直交表 34](#_Toc172908282)

[表 3‑4　關鍵因子及水準配置表 40](#_Toc172908283)

[表 3‑5　因子參數組合配置表 41](#_Toc172908284)

[表 4‑1　實驗之S/N比及表面粗糙度平均值 42](#_Toc172908285)

[表 4‑2　因子S/N比反應表 42](#_Toc172908286)

[表 4‑3　S/N比反應圖 43](#_Toc172908287)

[表 4‑4　各因子變異數分析表 43](#_Toc172908288)

[表 4-5最佳參數加法預測結果比較 44](#_Toc172908289)

[表 4-6最佳參數驗證實驗結果表 45](#_Toc172908290)

[表 4-7實際效益表 45](#_Toc172908291)

# 第一章 緒論

## 1-1前言

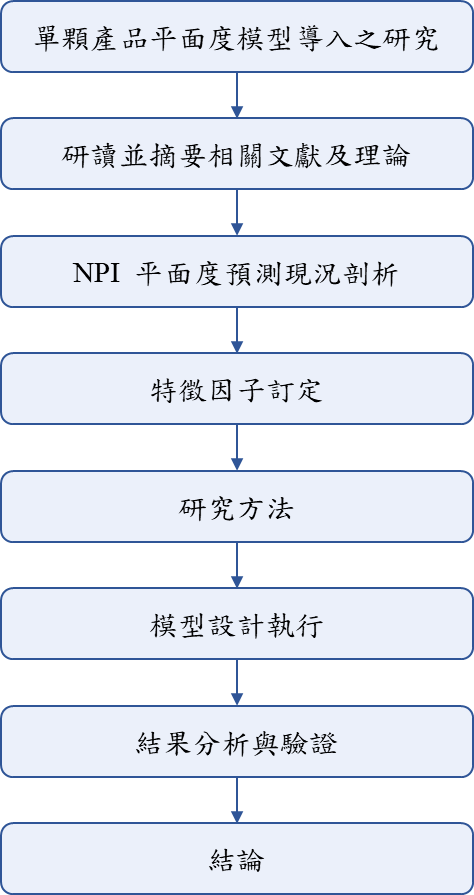
　　在當今科技迅速發展的背景下，半導體產業在現代電子產品的發展中扮演著舉足輕重的角色。不僅是電子設備的核心組成部分，還對許多新興領域，如物聯網、人工智慧和無人駕駛汽車等產業的發展起到了推動作用。而隨著新產品不斷推陳出新，如何確保產品的高品質和高性能成為一個日益重要的挑戰。新產品導入階段，涉及對產品結構、材料及參數的全面設計、驗證和測試，除避免時間和資源的耗費，因應市場需求的多樣化和技術的快速更迭，必需確保新產品能夠快速適應並達到高標準。

## 1-2研究動機

　　製程中，平面度作為晶片表面平整度的關鍵指標，對產品的電路連接性及元件穩定性至關重要。然而，在新產品導入初期，現階段的平面度因子預測往往依賴傳統的人工經驗，由於製程條件的多變性和複雜性，往往無法完全捕捉到各種影響因素之間的非線性關聯，從而導致預測誤差較大，造成後續製程上引發不良品，影響產品品質，並延誤整體出貨時間，對生產效率造成負面影響。在過去十年中，隨著製程自動化和智能化的推進，產業漸漸邁向數據驅動的時代，其中機器學習技術的發展，運用其強大的數據處理和模式識別能力，已成為解決這一問題的有效方法。機器學習模型能夠自動從大量的歷史數據中學習，捕捉製程影響因子和平面度之間的複雜關聯。本論文旨在探討，如何運用模型的導入來降低預測誤差值，達到符合的規格，並提供可靠性的預測結果，為製程減少成本及時間，為半導體製造技術的進一步發展。

## 1-3研究架構

　　本論文研究架構如下圖1-1



# 第二章 基礎理論與文獻回顧

## 2-1半導體製程與平面度的概念

### 2-1-1半導體製程概述

　　半導體製程是將基礎材料轉換為具有特定功能的電子元件過程。這個過程通常由幾個主要步驟組成，首先是晶圓的準備，包括晶圓的切割、清潔和薄化。接下來是形成半導體結構的步驟，這些結構通過光刻、蝕刻、薄膜沉積、離子植入等技術形成，並且通常會進行多次迭代以實現最終的設計要求。

隨著半導體技術的進步，特別是向微型化和高密度集成電路的方向發展，每一個製程步驟的精度要求變得越來越高，這樣的變化對製程中的每個環節，尤其是平面度控制，提出了更高的挑戰。

製程中的平面度問題，往往會影響光刻的對準精度和微結構穩定性，進而影響最終產品的良率。對於現代半導體製程來說，平面度不僅僅是結構的幾何要求，還與材料的均勻性、參數的條件因子、應力分佈及後續步驟的精度有著密切關聯。因此，半導體製程的每一個步驟都需要精確控制，才能確保產品的高性能與穩定性。

### 2-1-2平面度定義與對製程影響

平面度是指半導體製程中，晶片或封裝元件表面與理想平面之間的偏差，通常以表面高度差來衡量。這種偏差可能來自於多種原因，例如製程過程中的熱應力、機械壓力、材料的不均勻性或過度沉積等。在半導體製程中，若平面度控制不當，將對光刻、薄膜沉積、蝕刻等步驟造成不良影響，進而影響微結構的形狀和尺寸，最終影響器件的性能和可靠性。特別是在先進製程中，隨著技術要求的提高，對平面度的精確控制變得尤為重要。例如，極紫外光(EUV) 光刻技術要求的精度遠超過傳統光刻技術，任何平面度上的微小偏差都可能導致微結構對準誤差，從而影響製程的穩定性和產品的合格率。因此，對於先進的半導體製程而言，精確的平面度控制是保證高良率和高性能的基礎。

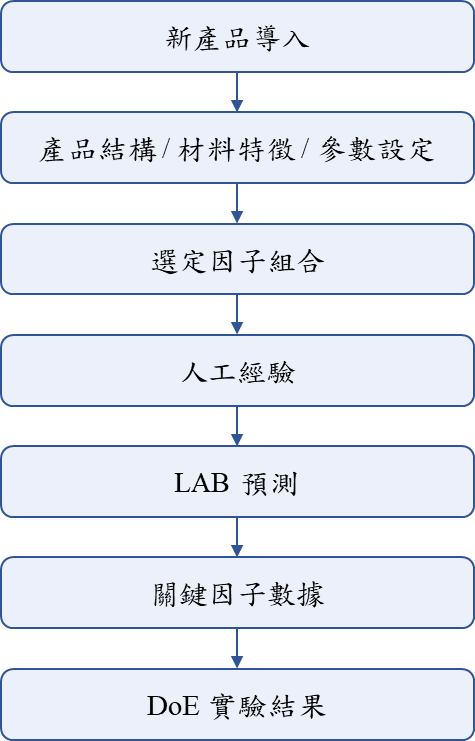
此外，平面度對半導體封裝中的焊接質量也至關重要。封裝過程中，平面度指的是元件的引腳、接點或表面相對於基板的平坦度。若引腳或接點的高度超出理想範圍，即為共面性偏差(Coplanarity Deviation)，這將影響焊接過程中引腳與焊料的接觸，可能導致焊接不良或電路開路，從而影響到最終產品的功能表現，甚至可能導致設備失效。隨著封裝尺寸的縮小和引腳間距的減少，平面度控制的要求也越來越高，尤其是在表面安裝技術(SMT) 中。

不良的平面度會降低焊接質量，進而導致產品不合格，甚至大量報廢，增加製造成本。因此，對平面度的精確控制，不僅能提高產品的質量，還能提升生產效率，減少不必要的資源浪費。在現代半導體製程中，平面度的監控和調整變得愈加複雜，但其重要性卻越來越突出，對產品良率和生產成本有著直接的影響。

## 2-2現況新產品平面度的預測

### 2-2-1傳統預測的方法與局限性

　　傳統的平面度預測方法主要依賴過往人工經驗與實驗室測試來進行預測。雖然這些方法能提供一定的指導價值，但隨著半導體製程越來越複雜及新產品的多樣化，其預測的精確性與適用性逐漸面臨挑戰。特別是在新材料引進和製程條件不斷變化的情況下，傳統方法的預測誤差較大，難以滿足現代製程對精度的要求。



這些數據是根據結構、材料和製程參數因子做預測方法的基礎分析。半導體元件的設計、選擇及條件，都會顯著影響平面度。材料的熱膨脹係數、機械強度與流動性，會直接影響製程中的變形情況，而結構設計的複雜性及元件厚度等因素同樣會對平面度產生重要影響。此外，製程中的溫度、壓力等變數也會改變表面形態的均勻性，進而影響最終的平整度。因此，準確分析這些因素之間的相互關係，是平面度預測的關鍵。然而，這些分析往往只能提供大致的預測結果，對於許多複雜的製程來說，這些方法無法達到足夠的準確性，導致預測誤差較高。

簡單製程或已知條件下，人工經驗可在傳統預測方法中扮演著關鍵角色。當製程條件較為相似時，過往的經驗可以幫助工程師快速估算。然而，當新產品的設計、材料或製程條件發生變化時，僅依賴人工經驗常常無法提供精確的預測。

也隨著半導體製程的複雜性增加，這些方法的預測誤差逐漸變得更加顯著。儘管實驗室測試能提供一定的數據支持，但由於測試過程受限於實驗條件，其結果的適用範圍有限。特別是在實際生產中，這些傳統方法無法快速且準確地應對多變的製程環境。因此，對這些方法進行改進，已成為提升平面度預測精度的關鍵挑戰。在此背景下，實驗設計(DoE) 方法被引入，為探索製程參數如何影響平面度提供了更系統化的方式，並且能進一步優化製程，提高預測準確性。

### 2-2-2實驗設計(Design of Experiments, DoE) 方法的應用與挑戰

為了提高平面度預測的準確性，DoE方法被引入到半導體製程的預測中。DoE是一種利用統計學原理來設計、執行和分析實驗的方法。整體理念是通過系統性的變化製程參數，如溫度、壓力、材料種類等，來觀察這些變數對平面度的影響。這種方法能夠幫助工程師有效地收集數據，找出最佳的製程條件，從而提升平面度的預測精度。DoE的核心優勢在於它能夠通過少量的實驗設計來獲得多維度的數據，從而確定各個製程變數對平面度的貢獻程度，進一步優化製程參數。

通過DoE方法，工程師可以針對不同的製程參數組合，設計實驗並收集大量數據，這有助於全面了解不同變數如何交互作用並影響最終的平面度。例如，在一個實驗設計中，工程師可能會選擇調整材料的厚度、製程溫度及壓力，並測量每一組合下的表面高度差。這樣通過對數據的統計分析，可以揭示出哪些參數對平面度有最直接的影響，從而提供一個更為科學的預測基礎。

然而，儘管DoE方法能夠提供更精確的預測，並幫助工程師更好地理解製程參數與平面度之間的關聯，但它也有其局限性。首先，DoE方法本身對時間和成本的要求較高，尤其是在面對多變數的情況下，實驗組合數量將顯著增加，這將消耗大量的時間、材料和人工成本，以現今估算出的成本，待DoE實驗結果平均時間為一個月，材料採購的等待時間平均為三個月，而花費的材料成本又得依工程師經驗去選擇。

其次，DoE的預測結果也可能受到實驗條件設計的限制，若設計不當，可能會導致對某些關鍵變數的影響，估計不足，從而降低預測精度。加上DoE方法對於非線性關係和高階交互作用的處理能力仍然有限，尤其是在製程變數之間存在高度非線性或多重交互作用的情況下，DoE的預測效果可能會受到影響。

總體而言，雖然DoE能夠有效提升平面度預測的準確性並提供可靠的數據支持，但其在時間、成本及複雜度上的挑戰，仍然是許多半導體製程應用中的一大瓶頸。因此，若未來在進行平面度預測時，如何將DoE與其他先進的數據分析技術，如機器學習、深度學習等結合，將可能進一步提升預測的精度與效率，並克服現有方法的不足。

## 2-3機器學習(Machine Learning, ML) 於產業應用

機器學習作為一種基於數據驅動的預測方法，逐步被應用於半導體製程中的平面度預測。機器學習可以通過自動化地從歷史數據中學習模式和關聯，來進行高精度的預測，並且能夠處理複雜的多維度數據，對半導體製程中的平面度進行模擬和預測。

### 2-3-1CMP(Chemical Mechanical Polishing)

使用具有研磨顆粒的拋光墊及化學藥液進行拋光製程，可對TSV[[1]](#footnote-1)構造的Si+電極材料進行研磨。採用Face-up方式，使晶圓不易脫落；研磨機搭載專用旋轉軸，進行高荷重拋光；從旋轉軸中心穩定供給拋光液【5】。

　　在CMP製程中，材料表面同時受到磨擦和化學反應的影響，通過研磨顆粒和化學溶液的相互作用，有助於去除微小的凹坑和凸起，可以實現高度平坦的表面和光潔度。作業過程中的化學反應可能產生廢液，需要進行處理和管理，否則會對環境造成影響【6】；長時間使用化學藥液亦會使工作盤內的真空通道的邊緣堆積拋光液及矽晶圓的微粒造成阻塞。

### 2-3-2 DP(Dry Polishing)

　　DP是一種純機械的拋光方法，通過使用磨粒或磨料來去除表面的材料，沒有涉及化學反應。由於不使用藥液、水進行乾拋加工，成本低且對環境造成影響小，但表面質量相對較差，可能會留下一些微小的劃痕或不均勻性【7】。

## 2-4 機器學習演算法

　　由於其梅花狀的研磨墊，不是完全的涵蓋晶圓，因此在研磨的過程中，未排乾淨的研磨屑殘留在晶圓表面，使研磨機需要更強的電流去完成研磨作業，因此經常產生下列幾種常見缺點。

### 2-4-1晶圓焦黑(Wafer Burning)

晶圓焦黑主要是在細部加工及拋光時發生，燒焦容易從晶圓中心開始發生【8】，研磨片數多的話，晶圓全體發燒開始燒焦，根據研磨壓力分佈的不同，焦黑狀態也會有不同，也有黏到工作盤上的情況。

常發生於拋光過程電流值及壓力太高，導致晶圓受到過強的壓力然後拋光點的溫度就會升高造成焦黑，拋光時的熱聚集在結合劑與加工物上，更進一步的結合劑的下壓跟加工物的摩擦熱上升；晶屑去除效率不好，發生加工點溫度上升；結合劑密度越高，於拋光過程緩衝空間越小，吸震能力越差，易產生高溫，皆為造成晶圓焦黑的原因。

　　為避免晶圓焦黑問題，需確保選擇合適的砂輪和結合劑、適當調整拋光參數、定期檢查機台設定，並確保晶圓表面乾淨無污染。

### 2-4-2晶圓破片(Wafer Broken)及邊緣破損(Edge Chipping)

晶圓薄化的技術可以實現更薄的晶圓厚度，且提高被加工物的良率，在研磨製程中一旦晶圓的強度減弱，晶圓就變得更容易破裂。以下列出幾項易造成晶圓破片及邊緣破損的情況【9】。晶圓焦黑及破片時常伴隨發生如上段所述，拋光過程電流值及壓力太高，導致晶圓受到過強的壓力，如果壓力瞬間增加太多就會伴隨著破片發生。

　　研磨砥粒露出量較大，對於加工物的破壞層亦較大；進刀速度(Feed rate)越快，晶圓受來自於Z軸方向的力量也越大，對加工物的破壞也越大；工作盤轉速慢，因此晶圓邊緣最大的負載來自於Z軸方向，邊緣破損相較於工作盤轉速快來的大，由於工作盤轉速快的話，晶圓邊緣的負載來自於X軸；膠膜若未將晶圓完全包覆住，容易造成晶圓邊緣晃動過大容易產生崩裂；研磨輪結合劑太硬，研磨過程中施加在晶圓上的壓力亦較大，容易造成加工物破壞【10】。

為減少及防止缺點形成，需要嚴格控制製程參數、選擇合適的研磨工具和材料，並確保研磨機台和固定晶圓的方式穩定可靠。進行適當的前處理和後處理步驟。

### 

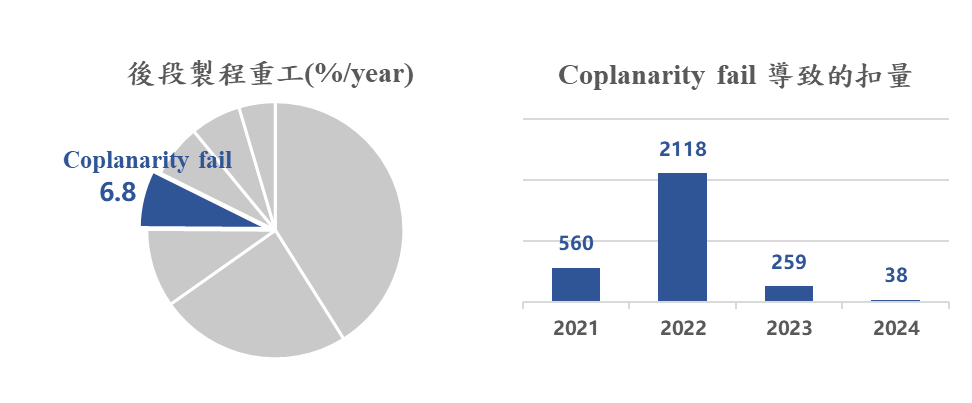
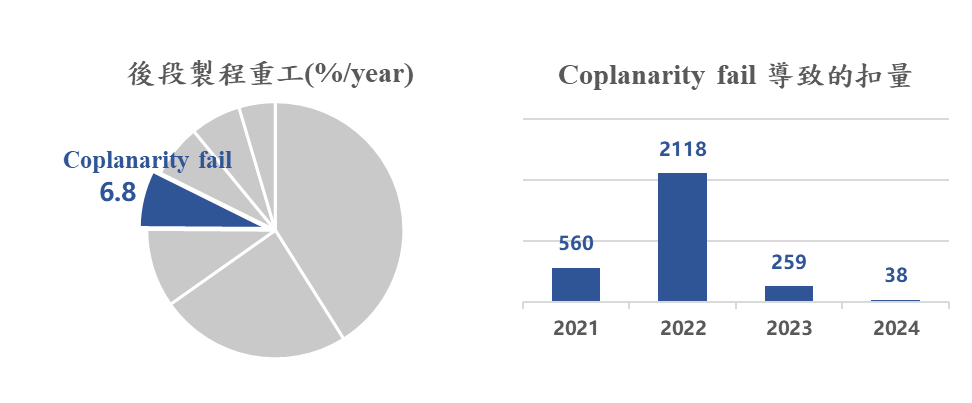
# 第三章 現況問題與模型設計

## 3-1製程問題情境

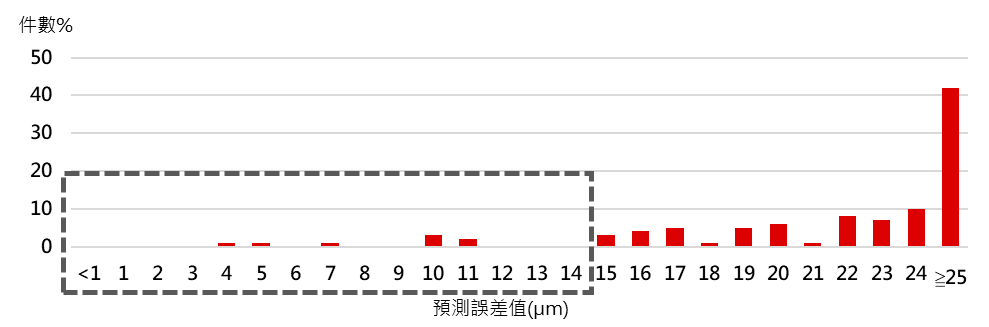
　　外界若溫度變化，物理性質上會產生熱漲冷縮的現象，因與物體本身熱膨脹係數(CTE) 密切相關。

廠內產品在後段封裝過程中，晶片(Die/Chip) 與基板(Substrate) 不同材料之間的 CTE Mismatch、參數組合的差異，加上含膠的限制，為了釋放溫度所產生的內部應力，常藉由形狀改變來釋放這些內力，導致產品平面度不良(Coplanarity fail)，進而影響後續上板成功率、出貨時間。

製程重工 Coplanarity fail 每年就佔了所有的 6.8%。



現行符合客戶預測誤差值規格需小於15um，然而使用傳統方式，多次預測結果仍有過大誤差可能，在非指定產品NPI導入時僅有11%符合規格。



## 3-2 KPI指標

透過AI模型之導入，降低預測的誤差值，為本研究目標，並縮減因子範圍，進而減少額外生成的成本及實驗結果時間，實現更高成本效益。

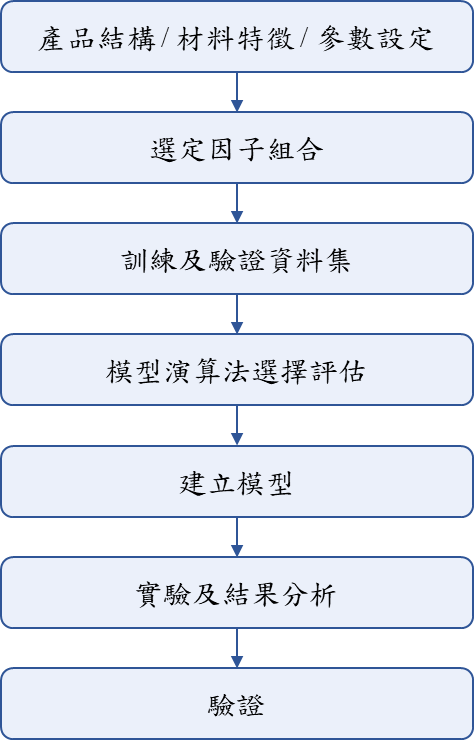
* 預測誤差值符合規則 : 從11% 提升至60%
* NPI額外生產成本 : 降低50%
* 實驗結果時間 : 降低50%
* RA form風險等級評估不再只有高風險和低風險兩個層級，根據不同風險情境更準確地識別和應對潛在風險

## 3-3模型設計

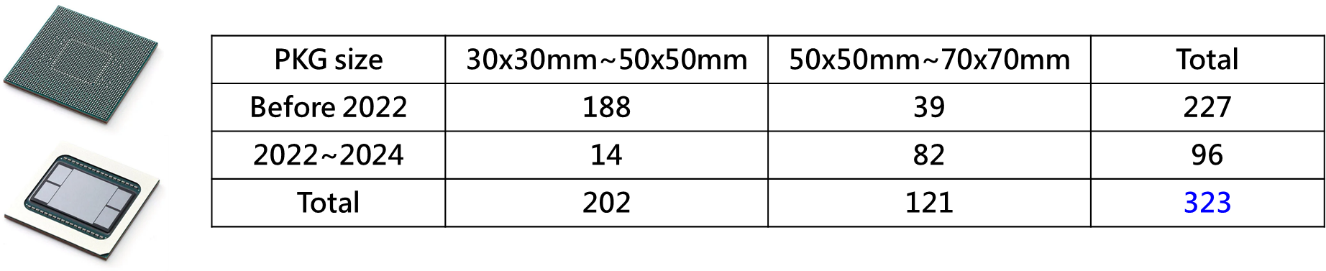
　　模型流程設計的初步階段，首先訂定實驗數據，並針對結構、材料及參數三大關鍵蒐集，以產品歷史資料進行模型建構的輸入，確認因子選定後，我們檢視是否需要做資料前處理，並對資料進行必要的清洗與標準化處理，確保數據的一致性和準確性。隨後將產品(Device) 中的20% 作為驗證資料，用於後續的模型驗證。

根據文獻探討之結果，選擇四種演算法建立機器學習模型，透過模型指標得出最佳方法，並進一步優化學習過程，以提高模型的準確性和預測能力。

最終，模型訓練完成後，進行驗證，將預測結果與實際數據進行比對，確認模型是否達到預期的KPI目標值，確保其實際應用中的可行性和效能。



### 3-3-1 Device資料集



依照產品結構大小(PKG size) 進行分類蒐集，生產履歷撈取出長度範圍介於30x30到70x70，30x30以下之產品較不會造成Coplanarity fail的情況發生，而70x70以上之產品在廠內數過少，若納入訓練資料中會使參考性較低，統計出Device數有323筆，原始資料數有64548筆，並以量產批(N) 為主要。

### 3-3-2資料(X)特徵、(Y)目標

　　製程中影響產品品質和性能的關鍵因子可從三大主要方向進行探討：產品結構(Structure factor)、材料差異(Material factor) 以及製程參數(Process parameters)。依據傳統預測方式，通過整合過往的經驗和實驗數據等因素，預測問題與風險要因。



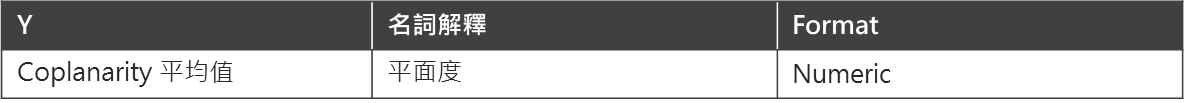
首先，產品結構是指晶片與基板之間的設計與組織，其中主要為大小及厚度。晶片和基板之間的結構設計影響著整體封裝的機械強度和穩定性。



選定的材料根據前中後製程的需求有所不同，特別是在覆晶封裝(Flip Chip) 中，常見的材料包括，助焊劑(Flux)、環氧樹脂(Epoxy)、膠(Tape)、壓模(Compound)、錫球(Solder ball)、錫膏(Solder paste)…等。這些根據其特性及應用領域可分為四大特徵因子，由於晶片與基板的直接接觸，正確的材料組合可有效降低應力集中，確保產品的長期穩定性與可靠性。



溫度為參數主要選定方向，後段製程因CTE Mismatch所引發Coplanarity fail的問題為本次探討的要因。



最後Y為本次主題Coplanarity。

### 3-4 AI方法論評估指標

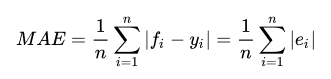
　　回歸指標(Regression metrics) 中 Bias(偏差)、Variance(變異) 為評估模型的預測性能。

Bias指的是模型預測值與真實值之間的差距，高Bias表示模型對訓練數據的擬合不夠，通常是因為模型過於簡單，無法捕捉數據中的複雜性，為欠擬合(underfitting)。

Variance指的是模型對不同訓練數據集的敏感程度，高Variance異意味著模型過於複雜，對小的數據波動過度反應，這可能會使模型在訓練數據上表現很好，但在新的數據或測試數據上表現較差，導致過擬合(overfitting)。

### 3-4-1平均絕對誤差(MAE, Mean Squared Error)

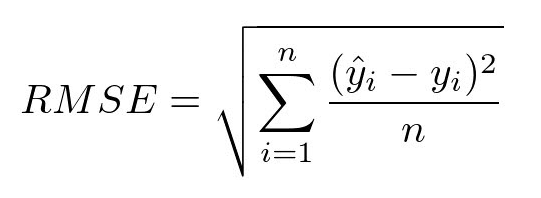
　　MAE是衡量模型預測值與實際值之間的誤差大小，即平均距離，對所有預測誤差賦予相同的權重，其計算方法是對所有預測誤差的絕對值求平均，因此對誤差的正負不會進行抵消，能夠更準確地反映誤差的整體情況。fi 表預測值，ŷi 表真實值，ei 表 | fi – yi | 的絕對誤差。



* 範圍 : 大於或等於0，越接近0時，表示模型準確度越高，表現越好。
* 特徵 : 由於是絕對誤差而非平方誤差，對異常值、離群值的影響較小。

### 3-4-2均方根誤差(RMSE, Root Mean Square Error)

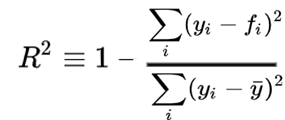
　　RMSE是預測值與實際值之間的誤差平方後取平均再做開根，得到預測誤差的平均大小，強調模型在處理大誤差時的表現，對誤差的平方進行加權，幫助識別出異常或離群值，能夠顯示出模型是否能有效控制大的預測誤差。



* 範圍 : 大於或等於0，越小，表示模型準確度越高。
* 特徵 : 對離群值敏感，適合用來進行梯度計算。

### 3-4-3決定係數(R2, R-Squared)

　　R²是衡量模型預測值與實際值之間誤差的變異程度，即模型對資料擬合的好壞，並以百分比形式呈現。值接近1表示擬合度高，若值為負表示模型並未有效解釋數據中的變異。



* 範圍 : 從0到1，越接近1，可解釋變異越高。
* 特徵 : 可以評估模型是否具有解釋性。

綜合模型性能可以更全面地了解模型的預測誤差和解釋能力，捕捉不同類型的誤差，不依賴其中指標，避免出現欠擬合及過擬合的情形發生。

# 第四章 實驗結果與驗證

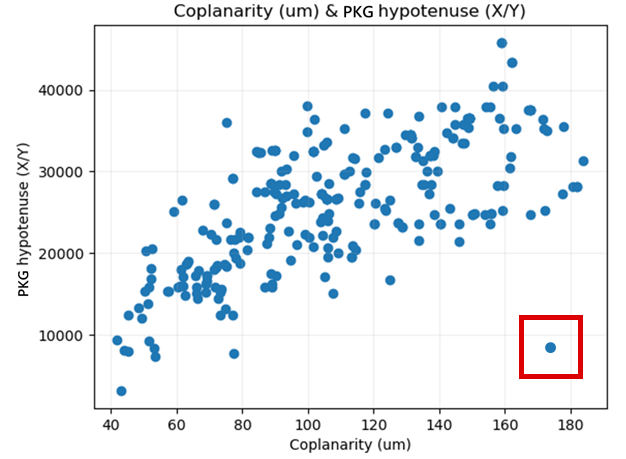
## 4-1 模型評估與分析

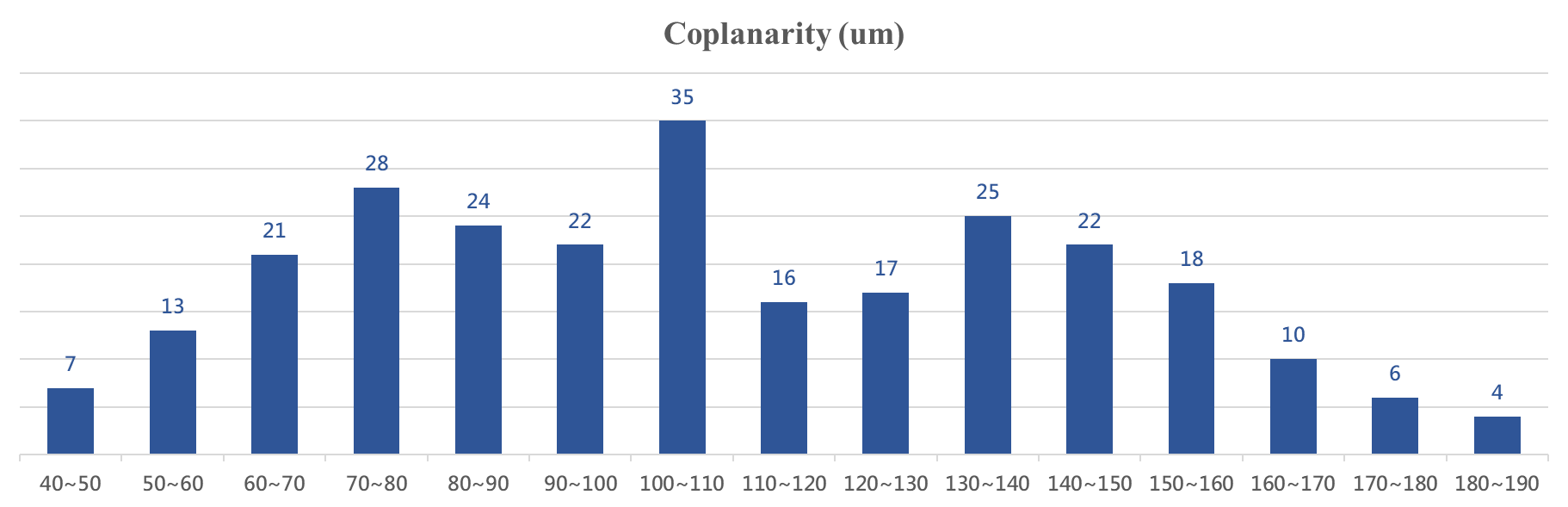
以2-4演算法與3-4模型評估指標，針對3-3-1 Device資料集323筆進行訓練及驗證，最後確認資料特徵因子之重要度，是否可解釋性分析。

1. 模型訓練資料 : 323

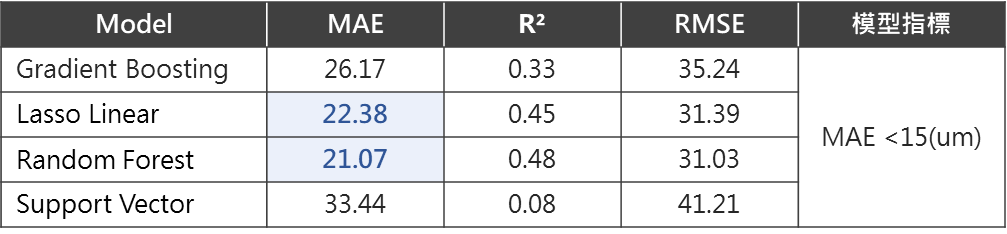


實驗結果MAE誤差值過高，經分布圖顯示結果，進行資料面處理。第一點將針對因過高的Coplanarity而導致資料偏差的現象，透過剔除離群值以降低誤差影響。第二點將移除系統中存在缺失值的因子筆數，為了避免插補缺失值後，使變數的解釋性變差，最後比數刪減至293筆。

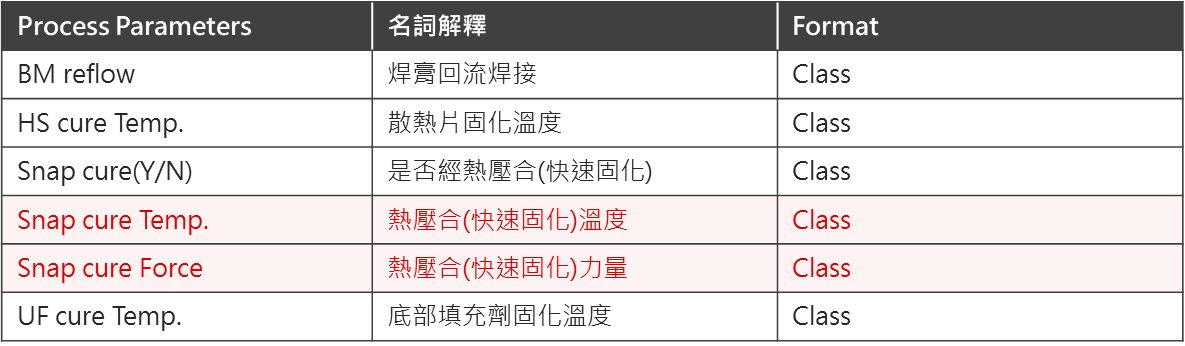




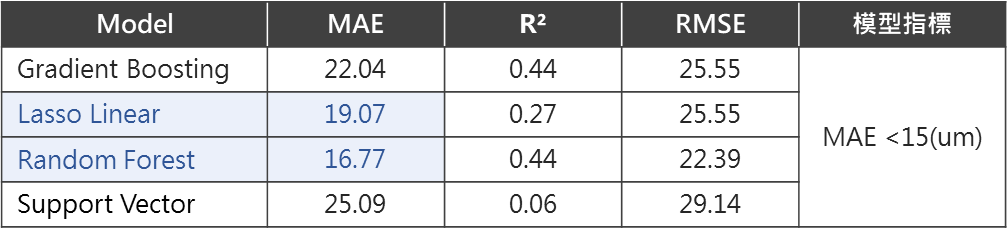
1. 模型訓練資料 : 293



Lasso Linear、Random Forest在指標MAE中都有降低的趨勢。重新在重要參數溫度做資料型態調整，Snap cure Temp / Force從Numeric調整成Class，在本研究中，Snap cure Temp / Force原始數據為連續型變數，然而Snap cure對平面度的改善效果並非線性變化，而是具有特定的影響區間，因此將這兩項因子由Numeric轉換為Class，並去除重複性的資料，以更好的捕捉其對結果變數的影響模式。

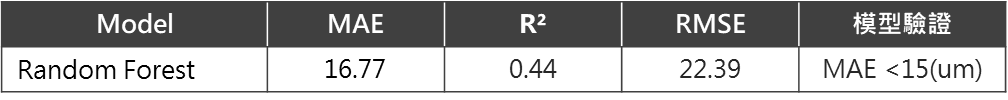


1. 模型訓練資料 : 263

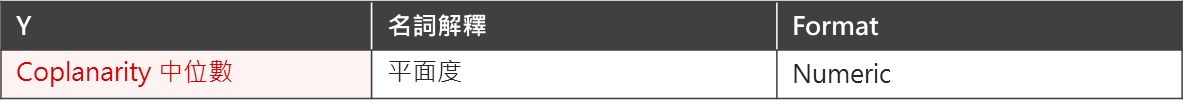


訓練結果Random Forest仍為最佳演算法，本研究將用Random Forest進行下一步優化以達指標及模型驗證。

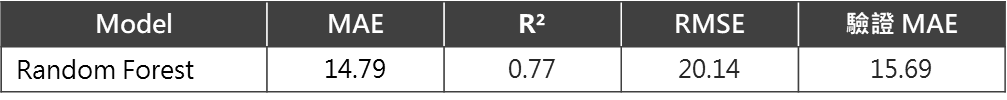
1. 模型訓練資料 : 263



回顧Coplanarity生產履歷資訊，數據呈現偏態分佈(Skewed distribution)，為避免即大部分樣本的Coplanarity值較低，但少數樣本的Coplanarity值極高，使其偏離大多數樣本的典型水準，平均值可能落在沒有實際樣本的區域。本研究將數據的代表值從平均值改為中位數，提高模型的泛化能力(Generalization)，使統計結果更具代表性。



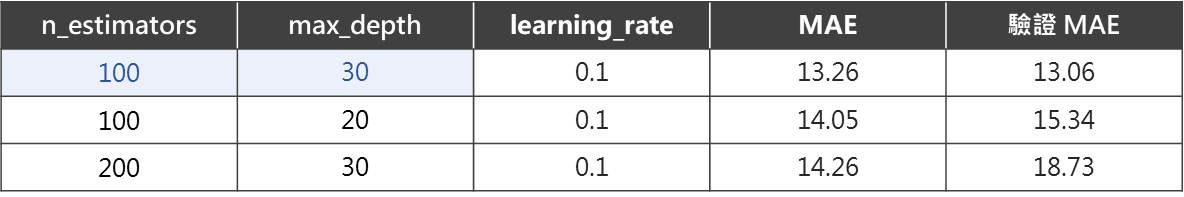
1. 模型訓練資料 : 210 / 模型驗證資料 : 53



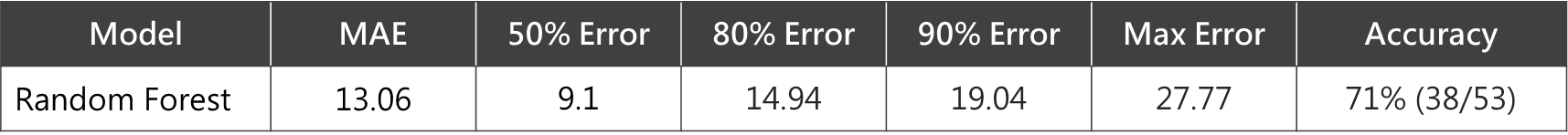
驗證結果與目標MAE diff.為0.69，合格件數百分比Accuracy(MAE <15um) 為57% (30/53)。調整超參數以達KPI指標。

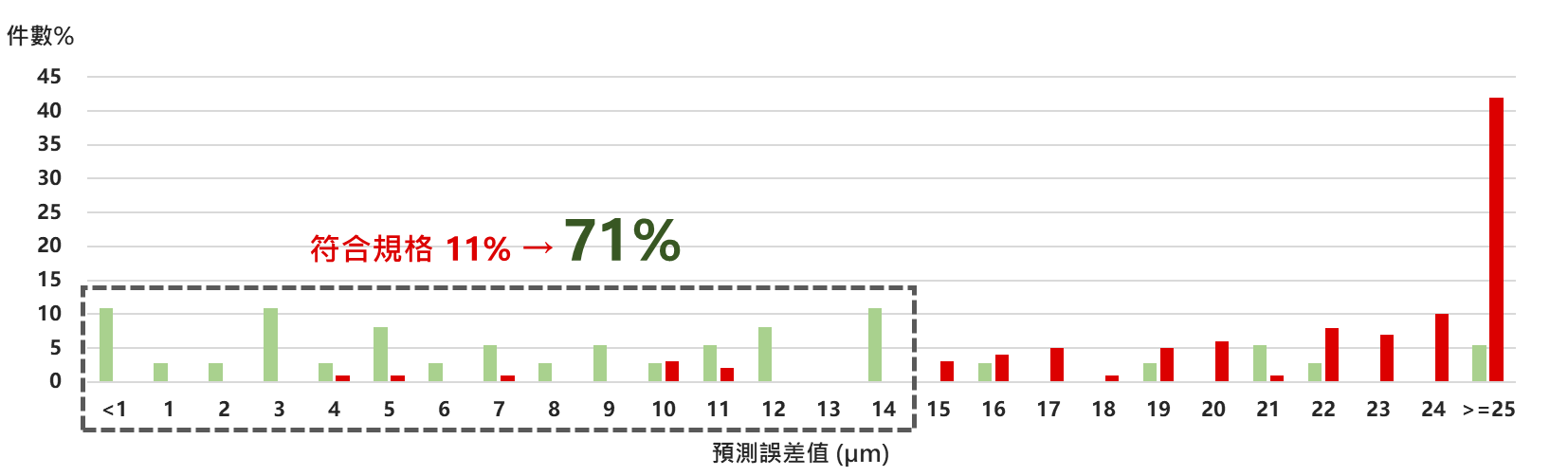
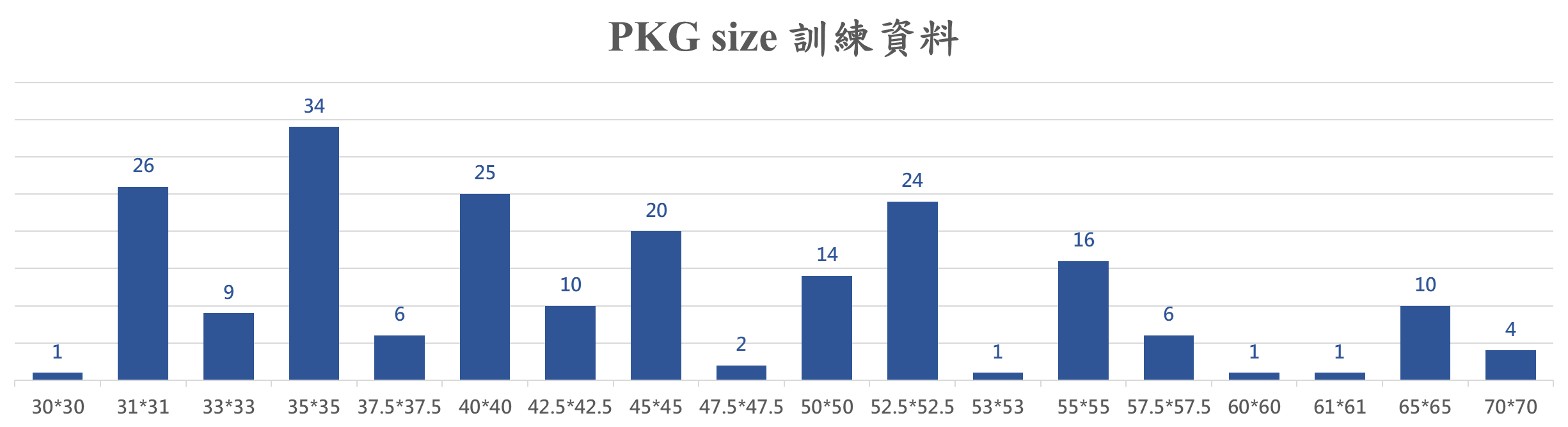
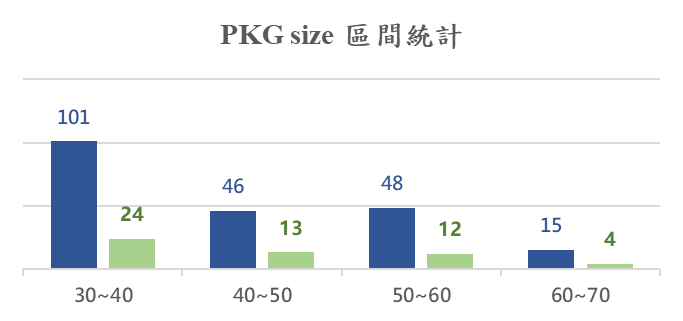
1. 模型訓練資料 : 210 / 模型驗證資料 : 53

估算器數量(n\_estimators)、最大深度(max\_depth)、學習率(learning\_rate)



結果顯示，第一組參數能有效降低MAE，使模型具備良好的預測能力。最終模型驗證結果如下表。





1. m產品之模型導入

# 第五章 結論

　　針對特殊拋光製程DPEG在作業中仍存在著晶圓焦黑、拋光不完全及晶圓破片等製程缺點，進而造成產品良率下降和產能降低。在利用田口實驗法的實驗設計下，DPEG製程產生的缺點模式發生頻率有顯著的降低；在本研究下，可相信這些不穩定的因素已有一定幅度的改善。

　　利用田口實驗法中的關鍵因子選擇、少量試驗及統計分析，以降低成本同時求出最佳化參數，使得製程品質及良率獲得大幅的改善。根據本研究結果，總結了以下幾點:

1. 使用較薄的340(um)膠膜可以降低拋光作業時的晃動，因為340(um)膠膜厚度較薄，不易產生慣性力，在研磨過程中減少了機台震動的可能性，進而提高了機台作動的穩定性。此外，較薄的膠膜還可以提高拋光作業的精度，因為它可以更好地貼合在晶圓表面，減少了拋光時的間隙，進而提高了拋光的均勻性和一致性。
2. 較傾斜的工作盤角度(60°)增加拋光作業時機台的排屑能力，拋光產生的粉塵不易堆積在拋光輪齒邊緣，使拋光作業能穩定進行，不易產生忽大忽小的電流。
3. 較小的第一段壓力可以提高拋光的品質和穩定性。這是因為拋光初期過大的拋光壓力容易引起拋光時的摩擦熱和磨損，降低初始壓力亦可以減少拋光時的排屑量，延長拋光膠膜的使用壽命，減少拋光成本。
4. 影響拋光的因素是多方面的，本研究僅針對膠膜厚度、拋光初始壓力及工作盤角度這三個因子下去做探討，建議後續研究者能納入更多其他的關鍵因子。
5. 是否能開發出同樣具有離子吸附效果的研磨輪以代替DPEG的拋光輪，由於DPEG拋光輪成本較高
6. ；意即將Z3製程移除，保留Z1與Z2，並提高Z2的番數，這樣既可達到節省製程時間亦可達到省料。

# 第六章 參考文獻

1. Tani, Y., Saek, T., Samitsu, y.,et al. (1998). Infeed Grinding of Silicon Wafers Applying Electrophoretic Deposition of Ultrafine Abrasives. CIRP Annals, 47(1), 245–248. <https://doi.org/https://doi.org/10.1016/S0007-8506(07)62827-3>
2. 林易璋，運用田口法於中碳鋼研磨製程之粗糙度最佳化研究，國立虎尾科技大學工業工程與管理研究所，碩士論文，2019
3. Saravanakumar, A., Dhanabal, s. , Jayanand, e.,et al. (2018). Analysis of Process Parameters in Surface Grinding Process. Materials Today: Proceedings, 5(2), 8131–8137. <https://doi.org/https://doi.org/10.1016/j.matpr.2017.11.500>
4. Disco corporation“迪思科用語辭典<精密加工工具篇>”,from <https://www.disco.co.jp/cn_t/support/term/doc/PrecisionProcessingTools.pdf>
5. 維基百科，化學機械平坦化.Retrieved March 6,2022,from <https://zh.wikipedia.org/zhtw/%E5%8C%96%E5%AD%A6%E6%9C%BA%E6%A2%B0%E5%B9%B3%E5%9D%A6%E5%8C%96>
6. Mayank, S., Jasvinder, singh, Dipesh, M. K., et al. (2022). Review on the Various Strategies Adopted for the Polishing of Silicon Wafer — A Chemical Perspective. *Materials Today: Proceedings*, *63*, 62–68. <https://doi.org/https://doi.org/10.1016/j.matpr.2022.02.300>
7. Disco corporation，“減薄精加工研磨”,from <https://www.disco.co.jp/cn_t/solution/library/grinder/thin.html>
8. [巫永泉](https://ndltd.ncl.edu.tw/cgi-bin/gs32/gsweb.cgi/ccd=sa2SX2/search?q=auc=%22%E5%B7%AB%E6%B0%B8%E6%B3%89%22.&searchmode=basic)，吸乾式拋光研磨輪作業參數最適化設計，[國立彰化師範大學](https://ndltd.ncl.edu.tw/cgi-bin/gs32/gsweb.cgi/ccd=sa2SX2/search?q=sc=%22%E5%9C%8B%E7%AB%8B%E5%BD%B0%E5%8C%96%E5%B8%AB%E7%AF%84%E5%A4%A7%E5%AD%B8%22.&searchmode=basic)[機電工程學系](https://ndltd.ncl.edu.tw/cgi-bin/gs32/gsweb.cgi/ccd=sa2SX2/search?q=dp=%22%E6%A9%9F%E9%9B%BB%E5%B7%A5%E7%A8%8B%E5%AD%B8%E7%B3%BB%22.&searchmode=basic)，碩士論文，2018
9. Chen, P. Y., Tsai, M. H., Yeh, W. K., et al. (2010). Relationship between Wafer Fracture Reduction and Controlling during the Edge Manufacturing Process. *Microelectronic Engineering*, *87*(10), 1809–1815. <https://doi.org/https://doi.org/10.1016/j.mee.2009.08.019>
10. Lin, W. J., & Cheng, H. ming. (2014). Investigation of Chipping and Wear of Silicon Wafer Dicing. Journal of Manufacturing Processes, 16(3), 373–378. <https://doi.org/https://doi.org/10.1016/j.jmapro.2014.04.002>
11. Mizushima, Y., Kim, Y., Nakamura, T., & Et al. (2017). Behavior of Copper Contamination on Backside Damage for Ultra-Thin Silicon Three Dimensional Stacking Structure. *Microelectronic Engineering*, *167*, 23–31. <https://doi.org/https://doi.org/10.1016/j.mee.2016.10.010>
12. Tang, S. Y., Chang, J. Y., & Chen, N. kuan. (2012). Wafer-Level Cu–Cu Bonding Technology. Microelectronics Reliability, 52(2), 312–320. <https://doi.org/https://doi.org/10.1016/j.microrel.2011.04.016>
13. Kazunori, I., Haruki, T., & Tsuneo, N. (1993). Gettering Properties of Silicon Wafer Coverd by Polysilicon. Nippon Steel Technical Report, 59, 11–16.

<https://doi.org/621.3.032.1>

1. Disco corporation，“DGP8761 全自動研磨/拋光機”,from <https://www.disco.co.jp/cn_t/products/polisher_etcher/dgp8761.html>
2. Huo, F., Guo, D., Li, Z., et al. (2013). Generation of Rotationally Symmetric Surfaces by Infeed Grinding with a Rotary Table and a Cup Wheel. *Precision Engineering*, *37*(2), 286–298. <https://doi.org/https://doi.org/10.1016/j.precisioneng.2012.09.007>
3. Disco corporation，“Gettering DP產品介紹”,from <https://www.disco.co.jp/cn_t/products/dry_wheel/getteringdp.html>
4. 黎正中，穩健設計之品質工程，台北圖書有限公司，1993
5. 李輝煌，田口方法:品質設計的原理與實務，高立圖書，2008
6. 廖睿鴻，運用田口方法於決定線性滑軌鑽孔製程參數最佳化之研究，國立虎尾科技大學工業工程與管理研究所，碩士論文，2017
7. Huang, S. T., & Kuo, P. C. (2014). Applied Taguchi Method in Optimal Parameter for Ball Pull Test. Management Information Computing, 3, 428–438.

<https://doi.org/10.6285/MIC.3(1)S.34>

1. Liu, J. h., Pei, Z.J., & Graham, F. R. (2007). Grinding Wheels for Manufacturing of Silicon Wafers: A Literature Review. *International Journal of Machine Tools and Manufacture*, *47*(1), 1–13. <https://doi.org/https://doi.org/10.1016/j.ijmachtools.2006.02.003>
2. Chen, C. A., & Hsu, L. (2008). A Process Model of Wafer Thinning by Diamond Grinding. *Journal of Materials Processing Technology*, *201*(1), 606–611. <https://doi.org/https://doi.org/10.1016/j.jmatprotec.2007.11.243>
3. Lee, S. M., & Kim, Y. W. (2022). Morphological Characterization of 325 Mesh-Grinding-Induced Defects on Silicon Wafer Surface. *Microelectronics Reliability*, *139*(114846). <https://doi.org/10.1016/j.microrel.2022.114846>
4. Kang, R., Zhang, Y., Gao, S., et al. (2022). High Surface Integrity Fabrication of Silicon Wafers Using a Newly Developed Nonwoven Structured Grind-Polishing Wheel. *Journal of Manufacturing Processes*, *77*, 229–239. <https://doi.org/https://doi.org/10.1016/j.jmapro.2022.03.021>
5. Pei, Z. J., & Alan, S. (2001). Fine Grinding of Silicon Wafers. *International Journal of Machine Tools and Manufacture*, *41*(5), 659–672. <https://doi.org/https://doi.org/10.1016/S0890-6955(00)00101-2>
6. Dong, Z. J., & Lin, Y. (2020). Ultra-Thin Wafer Technology and Applications: A Review. *Materials Science in Semiconductor Processing*, *105*(104681). <https://doi.org/https://doi.org/10.1016/j.mssp.2019.104681>
7. Sun, W., Pei, Z. j., & Fisher, G. r. (2005). Fine Grinding of Silicon Wafers: Effects of Chuck Shape on Grinding Marks. *International Journal of Machine Tools and Manufacture*, *45*(6). <https://doi.org/https://doi.org/10.1016/j.ijmachtools.2004.09.020>
8. Pei, Z. j., Billingsley, S. r., & Miura, S. (1999). Grinding Induced Subsurface Cracks in Silicon Wafers. *International Journal of Machine Tools and Manufacture*, *39*(7), 1103–1116. <https://doi.org/https://doi.org/10.1016/S0890-6955(98)00079-0>
9. Pei, Z. j. (2002). A Study on Surface Grinding of 300 Mm Silicon Wafers. *International Journal of Machine Tools and Manufacture*, *42*(3), 385–393. <https://doi.org/https://doi.org/10.1016/S0890-6955(01)00122-5>
10. 簡禎富等編著，半導體製造技術與管理，國立清華大學出版社，2005
11. Zhang, Z., Wang, X., Meng, fanning,et al. (2022). Origin and Evolution of a Crack in Silicon Induced by a Single Grain Grinding. *Journal of Manufacturing Processes*, *75*, 617–626. <https://doi.org/https://doi.org/10.1016/j.jmapro.2022.01.037>
12. Keith, G., & Adams, T. (2006). Ultra-Thin Semiconductor Wafer Applications and Processes. III-Vs Review, 19(4), 38–40. <https://doi.org/10.1016/S0961-1290(06)71643-X>
13. Zhang, Y., Kang, R., Gao, S., et al. (2021). A New Model of Grit Cutting Depth in Wafer Rotational Grinding Considering the Effect of the Grinding Wheel, Workpiece Characteristics, and Grinding Parameters. Precision Engineering, 72, 461–468. <https://doi.org/https://doi.org/10.1016/j.precisioneng.2021.06.007>
14. Mannai , A., zaghouani, B. r., Khamlich, S.,et al. (2019). Enhancement of Optoelectronic Properties in Multicrystalline Silicon via Combination of Grooving Grain Boundaries and Porous Silicon Gettering. Chinese Journal of Physics, 59, 325–332. <https://doi.org/https://doi.org/10.1016/j.cjph.2019.02.036>
15. Li, X., Yang, D. r., Yu, xuegong, et al. (2010). Phosphorus Gettering of Precipitated Cu in Single Crystalline Silicon Based on Rapid Thermal Process. Journal of Crystal Growth, 312(21), 3069–3074.

<https://doi.org/https://doi.org/10.1016/j.jcrysgro.2010.07.036>

1. Walter, J., & Krause, A. r. (2011). The Influence of Oxygen Precipitates on the Diffusion Velocity of Copper in the Bottom Parts of Mc-Si Ingots. Energy Procedia, 27, 59–65. <https://doi.org/https://doi.org/10.1016/j.egypro.2012.07.029>
2. Evans, C. j., Paul, e., Dornfeld, d., & Et al. (2003). Material Removal Mechanisms in Lapping and Polishing. CIRP Annals, 52(2), 611–633. <https://doi.org/https://doi.org/10.1016/S0007-8506(07)60207-8>
3. 維基百科，品質工程.Retrieved October 7,2022,from <https://zh.wikipedia.org/zhtw/%E5%93%81%E8%B3%AA%E5%B7%A5%E7%A8%8B>
4. 維基百科，變異數分析.Retrieved April 7,2023,from <https://zh.wikipedia.org/zhtw/%E6%96%B9%E5%B7%AE%E5%88%86%E6%9E%90>

1. [↑](#footnote-ref-1)